

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Appln. No: To Be Assigned  
 Applicant: K. Takinami et al.  
 Filed: Herewith  
 Title: VOLTAGE-CONTROLLED OSCILLATOR, RADIO COMMUNICATION APPARATUS  
 AND VOLTAGE-CONTROLLED OSCILLATION METHOD  
 TC/A.U.:  
 Examiner:  
 Confirmation No.:  
 Docket No.: MTS-3475US

**CLAIM TO RIGHT OF PRIORITY**

Mail Stop Patent Application  
 Commissioner for Patents  
 P.O. Box 1450  
 Alexandria, VA 22313-1450

Sir:

Pursuant to 35 U.S.C. § 119, Applicants hereby claim the benefit of prior Japanese Patent Application No. 2002-291632, filed October 3, 2002.

A certified copy of the above-referenced application is enclosed.

Respectfully submitted,

  
 \_\_\_\_\_  
 Allan Ratner, Reg. No. 19,717  
 Attorney for Applicants

AR/dlm

Enclosure: Certified Copy of Patent Application No. 2002-291632

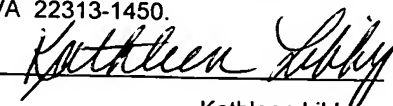
P.O. Box 980  
 Valley Forge, PA 19482-0980  
 (610) 407-0700

The Commissioner for Patents is hereby authorized to charge payment to Deposit Account No. 18-0350 of any fees associated with this communication.

**EXPRESS MAIL**

Mailing Label Number: EV 325926535 US  
 Date of Deposit: October 1, 2003

I hereby certify that this paper and fee are being deposited, under 37 C.F.R. § 1.10 and with sufficient postage, using the "Express Mail Post Office to Addressee" service of the United States Postal Service on the date indicated above and that the deposit is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
 \_\_\_\_\_  
 Kathleen Libby

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2002年10月 3日

出 願 番 号

Application Number: 特願2002-291632

[ ST.10/C ]:

[ JP2002-291632 ]

出 願 人

Applicant(s): 松下電器産業株式会社

2003年 6月12日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3045993

【書類名】 特許願

【整理番号】 2022040178

【提出日】 平成14年10月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H03B 5/08  
H03B 7/06  
H03C 3/22

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 滝波 浩二

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 足立 寿史

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 遠藤 斗紀雄

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100092794

【弁理士】

【氏名又は名称】 松田 正道

【電話番号】 06-6397-2840

【手数料の表示】

【予納台帳番号】 009896

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006027

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧制御発振器、無線通信機器、電圧制御発振方法

【特許請求の範囲】

【請求項 1】 インダクタおよび電源供給端子を有するインダクタ回路と、可変容量素子を有し、直流分を遮断するための阻止コンデンサをその両端に有する、 $n$  個（ $n$  は 2 以上）の可変容量回路と、負性抵抗回路と、電源電位から基準電位を生成する基準電位発生手段と、を備え、

前記インダクタ回路、前記  $n$  個の可変容量回路、前記負性抵抗回路が並列に接続され、

前記  $n$  個の可変容量回路の可変容量素子の一方の端子に、所定の基準電位が入力され、

前記  $n$  個の可変容量回路の可変容量素子の他方の端子に、発振周波数をフィードバック制御するための制御電位が入力され、

前記  $n$  個の可変容量回路のうち、少なくとも 2 つの可変容量回路の可変容量素子の一方の端子に入力される所定の基準電位が異なり、

前記基準電位発生手段の、前記基準電位を出力する出力側がそれぞれコンデンサを介して接地されている、電圧制御発振器。

【請求項 2】 前記  $n$  個の可変容量回路のうち、前記  $n$  個の可変容量回路に入力される基準電位が大きい順に並べたとき、 $m$  番目（ $m$  は、2 以上  $n$  以下）の可変容量回路の可変容量素子の一方の端子に入力される電位と、 $m - 1$  番目の可変容量回路の可変容量素子の一方の端子に入力される電位との差が、 $V_d$  である、請求項 1 に記載の電圧制御発振器。

【請求項 3】 前記基準電位発生手段は、直列接続された  $n + 1$  個の抵抗を備え、前記  $n$  個の基準電位は、前記直列接続された  $n + 1$  個の抵抗により、前記電源電位が分圧されることにより生成される、請求項 1 または 2 に記載の電圧制御発振器。

【請求項 4】 前記基準電位発生手段は、直列接続された、1 個の抵抗および  $n$  個のダイオードを備え、前記  $n$  個の基準電位は、前記直列接続された、1 個の抵抗および  $n$  個のダイオードにより、前記電源電位が分圧されることにより生成

される、請求項 1 または 2 に記載の電圧制御発振器。

【請求項 5】 前記ダイオードは、そのベースとコレクタが短絡されたトランジスタから形成される、請求項 4 に記載の電圧制御発振器。

【請求項 6】 前記基準電位発生手段は、さらにアクティブフィルタを備えている、請求項 3 ～ 5 のいずれかに記載の電圧制御発振器。

【請求項 7】 前記基準電位発生手段は、直列接続された、1 個のアクティブフィルタおよび n 個の抵抗を備え、前記 n 個の基準電位は、前記直列接続された、1 個のアクティブフィルタおよび n 個の抵抗により、前記電源電位が分圧されることにより生成させる、請求項 1 または 2 に記載の電圧制御発振器。

【請求項 8】 インダクタおよび電源供給端子を有するインダクタ回路と、可変容量素子を有し、前記可変容量素子の一方の端子に電源電位が入力され、前記可変容量素子の他方の端子に、複数の電位のうち使用される周波数帯に応じた電位が入力され、前記可変容量素子の容量が変化される、第 1 の可変容量回路と、

可変容量素子を有し、直流分を遮断するための阻止コンデンサをその両端に有する、n 個の可変容量回路と、

負性抵抗回路と、を備え、

前記第 1 の可変容量回路、前記 n 個の可変容量回路、および前記負性抵抗回路が並列接続され、

前記 n 個の可変容量回路の可変容量素子の一方の端子に、電源電位または所定の基準電位が入力され、

前記 n 個の可変容量回路の可変容量素子の他方の端子に、発振周波数をフィードバック制御するための制御電位が入力され、

前記第 1 の可変容量回路の可変容量素子の容量が所定の値より低下したとき、前記 n 個の可変容量回路のうちの少なくとも 1 つの可変容量回路の容量の可変範囲が低下される、電圧制御発振器。

【請求項 9】 前記 n 個の可変容量回路のうち少なくとも 1 つの可変容量回路は、少なくとも 1 つの可変容量素子を有し、前記少なくとも 1 つの可変容量素子の前記他方の端子に、前記制御電位に代えて、前記複数の電位のうち使用される

周波数に応じた電位が入力されることにより、前記第 1 の可変容量回路の可変容量素子の容量の低下に応じて、前記  $n$  個の可変容量回路のうちの少なくとも 1 つの可変容量回路の容量の可変範囲が低下される、請求項 8 に記載の電圧制御発振器。

【請求項 1 0】 前記阻止コンデンサは、スイッチを介して接続された 2 つ以上のコンデンサから構成され、使用される周波数に応じて前記スイッチが断続されることにより、前記阻止コンデンサの容量が低下され、前記  $n$  個の可変容量回路のうちの少なくとも 1 つの可変容量回路の容量の可変範囲が低下される、請求項 8 に記載の電圧制御発振器。

【請求項 1 1】 前記可変容量素子は、MOS トランジスタのゲート容量が利用されて動作する、請求項 1 ～ 1 0 のいずれかに記載の電圧制御発振器。

【請求項 1 2】 請求項 1 ～ 1 1 のいずれかに記載の電圧制御発振器を備え、目的周波数の信号を出力する PLL 回路を備えた無線通信機器を備えた無線通信機器。

【請求項 1 3】 インダクタおよび電源供給端子を有するインダクタ回路と、可変容量素子を有し、直流分を遮断するための阻止コンデンサをその両端に有する、 $n$  個 ( $n$  は 2 以上) の可変容量回路と、負性抵抗回路と、電源電位から基準電位を生成する基準電位発生手段と、を備え、前記インダクタ回路、前記  $n$  個の可変容量回路、前記負性抵抗回路が並列に接続された電圧制御発振器の電圧制御発振方法であって、

前記  $n$  個の可変容量回路の可変容量素子の一方の端子に、所定の基準電位を入力する工程と、

前記  $n$  個の可変容量回路の可変容量素子の他方の端子に、発振周波数をフィードバック制御するための制御電位を入力する工程と、を備え、

前記  $n$  個の可変容量回路のうち、少なくとも 2 つの可変容量回路の可変容量素子の一方の端子に入力される所定の基準電位が異なり、

前記基準電位発生手段の、前記基準電位を出力する出力側がそれぞれコンデンサを介して接地されている、電圧制御発振方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、無線通信機で用いられる電圧制御発振器、その電圧制御発振器を用いた無線通信機器、電圧制御発振方法に関する。

【 0 0 0 2 】

【従来の技術】

電圧制御発振器は、無線通信機の局部発振信号を発生させる手段として広く使用されている。

【 0 0 0 3 】

このような従来の電圧制御発振器の構成例を図 1 2 に示す。

【 0 0 0 4 】

同図において、1 a、1 b は発振トランジスタ、2 a、2 b はインダクタ、3 a、3 b は可変容量素子である。また、4 は電源端子、5 は周波数制御端子であり、6 は電流源である。なお、同図ではバイアス回路等は省略している。

【 0 0 0 5 】

以下、図 1 2 を参照しながら従来の電圧制御発振器の動作について説明する。

【 0 0 0 6 】

図 1 2 においてインダクタ 2 a、2 b と可変容量素子 3 a、3 b は並列共振回路を構成している。可変容量素子の容量値は、その両端の電位差によって変化するので、周波数制御端子 5 に加えた制御電圧によって可変容量素子 3 a、3 b の容量値が変化し、その結果、並列共振回路の共振周波数が変化する。

【 0 0 0 7 】

電圧制御発振器の発振周波数は共振回路の共振周波数近傍で発振するので、制御電圧を調整することで、電圧制御発振器の発振周波数を所望の周波数に制御することができる。発振トランジスタ 1 a、1 b は負性抵抗を発生して共振回路の寄生抵抗成分による損失をキャンセルし、発振条件を満足させるためのものである。

【 0 0 0 8 】

ここで、電圧制御発振器の制御電圧と発振周波数の関係は可変容量素子の特性



でほぼ決定されるため、使用する可変容量素子としては、広い制御電圧範囲に渡って緩やかに容量変化することが望ましい。なぜなら、電圧制御発振器を用いて PLL（フェーズロックループ）を構成した場合、PLL 回路の過渡応答特性や雑音帯域特性は制御電圧に対する周波数感度に依存するので、周波数によって周波数感度が異なると、PLL 回路自身の特性が周波数によって変動するためである。また、制御電圧に対する周波数感度が高い領域では、周波数制御端子に加わるわずかな雑音によっても周波数が変動するため位相雑音特性が劣化するという問題もある。

## 【 0 0 0 9 】

しかしながら、電圧制御発振器を半導体基板上に実現する際、可変容量素子を形成するために特殊なプロセスを導入するとコストアップにつながるため、実際には線形性の高い可変容量素子を利用することが難しい。図 1 3 (a) は、CMOS プロセスで広く用いられるゲート容量を利用した可変容量素子であり、図 1 3 (b) は、MOS トランジスタのゲートに基準電位を加え、ドレイン・ソース側に制御電圧を印加した場合のゲート容量の変化を示している。この様に、一般的に用いられる MOS トランジスタのゲート容量を利用した可変容量素子では、閾値電圧（図中  $V_{th}$ ）近傍で容量値が急峻に変化するため、発振周波数も閾値近傍の領域で急峻に変化する。その結果、本 VCO を用いた PLL 回路の過渡応答特性や雑音帯域特性は、周波数によって大きく変動するといった問題が生じる。

## 【 0 0 1 0 】

この様な課題を解決するため、以下に述べる回路が既に提案されている。

## 【 0 0 1 1 】

図 1 4 は、従来の可変容量素子の線形性を改善する一手法を示す回路である（例えば、特許文献 1 を参照。）。同図において前述と同様の部分には同じ符号を付しており説明は省略する。

## 【 0 0 1 2 】

1 0 a、1 0 b、1 1 a、1 1 b、1 2 a、1 2 b は可変容量素子であり、1 3 はレベルシフト回路である。周波数制御端子 5 から入力された制御信号は、レ

ベルシフト回路 1 3 に入力され、前記レベルシフト回路から出力される 3 つの出力端子から、 $V_t$ 、 $V_t - V_d$ 、 $V_t - 2 V_d$  のように  $V_d$  だけシフトした電圧が出力される。このとき、制御電圧  $V_t$  に対する各可変容量素子（1 0 a ~ 1 2 b）の特性は、図 1 5 に示す様に  $V_d$  ずつシフトした特性になる。共振回路の容量はこれら 6 つの容量の合計になるため、それらの合計容量は、図 1 5 の一点鎖線（同図 A）で示す特性になり、制御電圧に対する容量の変化を緩やかにすることができる。

【 0 0 1 3 】

【特許文献 1】

特開 2 0 0 1 - 3 5 2 2 1 8 号公報

【 0 0 1 4 】

【発明が解決しようとする課題】

しかしながら、前述した従来の改善方法では、制御電圧をレベルシフト回路に入力して、オフセットした出力信号を生成しているため、電圧制御発振器の位相雑音特性が劣化するという問題を有していた。なぜなら、電圧制御発振器の発振周波数は制御電圧に非常に敏感であり、制御電圧に加わる微小雑音によっても発振周波数が変化してしまうからである。

【 0 0 1 5 】

また、位相雑音特性の劣化を抑えるためにレベルシフト回路からの出力信号線に接地コンデンサを挿入する場合、電圧制御発振器の過渡応答や雑音帯域特性が接地コンデンサの影響を受けるため、容量の大きなコンデンサを用いることが難しい。すなわち、位相雑音特性を改善するためにレベルシフト回路からの出力信号線に大きな容量の接地コンデンサを挿入すると、周波数制御端子 5 から入力される制御電位が変化したときにその追従性が悪くなってしまう。そのため、制御電位の追従性を低下させないためには、上記接地コンデンサの容量が制限されてしまい、制限された容量の接地コンデンサを用いても十分な雑音抑圧効果が得られないという問題がある。

【 0 0 1 6 】

本発明は、上記の課題を鑑み、位相雑音特性の劣化を抑制することができ、か

つ制御電位の追従性を低下させない電圧制御発振器、その電圧制御発振器を用いた無線通信機器、電圧制御発振方法を提供すること、または位相雑音特性の劣化を抑制することができる、電圧制御発振器、無線通信機器、電圧制御発振方法を提供することを目的とする。

## 【 0 0 1 7 】

## 【課題を解決するための手段】

第 1 の本発明は、インダクタおよび電源供給端子を有するインダクタ回路と、可変容量素子を有し、直流分を遮断するための阻止コンデンサをその両端に有する、 $n$  個 ( $n$  は 2 以上) の可変容量回路と、負性抵抗回路と、電源電位から基準電位を生成する基準電位発生手段と、を備え、前記インダクタ回路、前記  $n$  個の可変容量回路、前記負性抵抗回路が並列に接続され、前記  $n$  個の可変容量回路の可変容量素子の一方の端子に、所定の基準電位が入力され、前記  $n$  個の可変容量回路の可変容量素子の他方の端子に、発振周波数をフィードバック制御するための制御電位が入力され、前記  $n$  個の可変容量回路のうち、少なくとも 2 つの可変容量回路の可変容量素子の一方の端子に入力される所定の基準電位が異なり、前記基準電位発生手段の、前記基準電位を出力する出力側がそれぞれコンデンサを介して接地されている、電圧制御発振器である。

## 【 0 0 1 8 】

第 2 の本発明は、前記  $n$  個の可変容量回路のうち、前記  $n$  個の可変容量回路に入力される基準電位が大きい順に並べたとき、 $m$  番目 ( $m$  は、2 以上  $n$  以下) の可変容量回路の可変容量素子の一方の端子に入力される電位と、 $m - 1$  番目の可変容量回路の可変容量素子の一方の端子に入力される電位との差が、 $V_d$  である、第 1 の本発明の電圧制御発振器である。

## 【 0 0 1 9 】

第 3 の本発明は、前記基準電位発生手段は、直列接続された  $n + 1$  個の抵抗を備え、前記  $n$  個の基準電位は、前記直列接続された  $n + 1$  個の抵抗により、前記電源電位が分圧されることにより生成される、第 1 または 2 の本発明の電圧制御発振器である。

## 【 0 0 2 0 】

第 4 の本発明は、前記基準電位発生手段は、直列接続された、1 個の抵抗および  $n$  個のダイオードを備え、前記  $n$  個の基準電位は、前記直列接続された、1 個の抵抗および  $n$  個のダイオードにより、前記電源電位が分圧されることにより生成される、第 1 または 2 の本発明の電圧制御発振器である。

## 【 0 0 2 1 】

第 5 の本発明は、前記ダイオードは、そのベースとコレクタが短絡されたトランジスタから形成される、第 4 の本発明の電圧制御発振器である。

## 【 0 0 2 2 】

第 6 の本発明は、前記基準電位発生手段は、さらにアクティブフィルタを備えている、第 3 ～ 5 の本発明のいずれかの電圧制御発振器である。

## 【 0 0 2 3 】

第 7 の本発明は、前記基準電位発生手段は、直列接続された、1 個のアクティブフィルタおよび  $n$  個の抵抗を備え、前記  $n$  個の基準電位は、前記直列接続された、1 個のアクティブフィルタおよび  $n$  個の抵抗により、前記電源電位が分圧されることにより生成させる、第 1 または 2 の本発明の電圧制御発振器である。

## 【 0 0 2 4 】

第 8 の本発明は、インダクタおよび電源供給端子を有するインダクタ回路と、可変容量素子を有し、前記可変容量素子の一方の端子に電源電位が入力され、前記可変容量素子の他方の端子に、複数の電位のうち使用される周波数帯に応じた電位が入力され、前記可変容量素子の容量が変化される、第 1 の可変容量回路と、可変容量素子を有し、直流分を遮断するための阻止コンデンサをその両端に有する、 $n$  個の可変容量回路と、負性抵抗回路と、を備え、前記第 1 の可変容量回路、前記  $n$  個の可変容量回路、および前記負性抵抗回路が並列接続され、前記  $n$  個の可変容量回路の可変容量素子の一方の端子に、電源電位または所定の基準電位が入力され、前記  $n$  個の可変容量回路の可変容量素子の他方の端子に、発振周波数をフィードバック制御するための制御電位が入力され、前記第 1 の可変容量回路の可変容量素子の容量が所定の値より低下したとき、前記  $n$  個の可変容量回路のうちの少なくとも 1 つの可変容量回路の容量の可変範囲が低下される、電圧制御発振器である。

## 【 0 0 2 5 】

第 9 の本発明は、前記  $n$  個の可変容量回路のうち少なくとも 1 つの可変容量回路は、少なくとも 1 つの可変容量素子を有し、前記少なくとも 1 つの可変容量素子の前記他方の端子に、前記制御電位に代えて、前記複数の電位のうち使用される周波数に応じた電位が入力されることにより、前記第 1 の可変容量回路の可変容量素子の容量の低下に応じて、前記  $n$  個の可変容量回路のうちの少なくとも 1 つの可変容量回路の容量の可変範囲が低下される、第 8 の本発明の電圧制御発振器である。

## 【 0 0 2 6 】

第 1 0 の本発明は、前記阻止コンデンサは、スイッチを介して接続された 2 つ以上のコンデンサから構成され、使用される周波数に応じて前記スイッチが断続されることにより、前記阻止コンデンサの容量が低下され、前記  $n$  個の可変容量回路のうちの少なくとも 1 つの可変容量回路の容量の可変範囲が低下される、第 8 の本発明の電圧制御発振器である。

## 【 0 0 2 7 】

第 1 1 の本発明は、前記可変容量素子は、MOS トランジスタのゲート容量が利用されて動作する、第 1 ～ 1 0 の本発明のいずれかの電圧制御発振器である。

## 【 0 0 2 8 】

第 1 2 の本発明は、第 1 ～ 1 1 の本発明のいずれかの電圧制御発振器を備え、目的周波数の信号を出力する PLL 回路を備えた無線通信機器である。

## 【 0 0 2 9 】

第 1 3 の本発明は、インダクタおよび電源供給端子を有するインダクタ回路と、可変容量素子を有し、直流分を遮断するための阻止コンデンサをその両端に有する、 $n$  個（ $n$  は 2 以上）の可変容量回路と、負性抵抗回路と、電源電位から基準電位を生成する基準電位発生手段と、を備え、前記インダクタ回路、前記  $n$  個の可変容量回路、前記負性抵抗回路が並列に接続された電圧制御発振器の電圧制御発振方法であって、前記  $n$  個の可変容量回路の可変容量素子の一方の端子に、所定の基準電位を入力する工程と、前記  $n$  個の可変容量回路の可変容量素子の他方の端子に、発振周波数をフィードバック制御するための制御電位を入力する工

程と、を備え、前記  $n$  個の可変容量回路のうち、少なくとも 2 つの可変容量回路の可変容量素子の一方の端子に入力される所定の基準電位が異なり、前記基準電位発生手段の、前記基準電位を出力する出力側がそれぞれコンデンサを介して接地されている、電圧制御発振方法である。

#### 【0030】

##### 【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

#### 【0031】

##### （実施の形態 1）

図 1 は本発明の実施の形態 1 における電圧制御発振器の構成を示したものである。ただし、バイアス回路等は省略している。

#### 【0032】

同図において、100 は本発明の電源供給端子の一例である電源端子、101 は電流源、102 は周波数制御端子である。また、103 a、103 b は発振トランジスタ、104 a、104 b はインダクタ、105 a、105 b、106 a、106 b、107 a、107 b は、CMOS プロセスで用いられるゲート容量を利用した可変容量素子であり、108 a、108 b、109 a、109 b、110 a、110 b は、本発明の阻止コンデンサの一例である DC カット用コンデンサである。また、111 a、111 b、112 a、112 b、113 a、113 b は高周波阻止抵抗、114 は基準電位発生手段である。

#### 【0033】

インダクタ 104 a およびインダクタ 104 b は、直列に接続され、その接続点には、電源端子 100 が接続され、本発明のインダクタ回路を形成している。可変容量素子 105 a、105 b は、互いにドレイン・ソース側が接続され、可変容量素子 105 a、105 b の直列回路の両端には、直流分を遮断するための DC カット用コンデンサ 108 a、108 b が直列に接続され、可変容量素子 105 a、105 b、および DC カット用コンデンサ 108 a、108 b の直列回路（以下可変容量回路 A という。）は、本発明の可変容量回路を形成している。同様に、可変容量素子 106 a、106 b、DC カット用コンデンサ 109 a、

1 0 9 b の直列回路（以下可変容量回路 B という。）および可変容量素子 1 0 7 a、1 0 7 b、DC カット用コンデンサ 1 1 0 a、1 1 0 b の直列回路（以下可変容量回路 C という。）も、本発明の可変容量回路を形成している。発振トランジスタ 1 0 3 a、1 0 3 b は、本発明の負性抵抗回路を形成している。そして、上記のインダクタ回路、可変容量回路 A、B、C、および本発明の負性抵抗回路は、互いに並列に接続されている。

## 【 0 0 3 4 】

可変容量回路 A における可変容量素子 1 0 5 a、1 0 5 b の接続点、可変容量回路 B における可変容量素子 1 0 6 a、1 0 6 b の接続点、可変容量回路 C における可変容量素子 1 0 7 a、1 0 7 b の接続点、すなわち、本発明の可変容量素子の一方の端子の一例である、ドレイン・ソース側に周波数制御端子 1 0 2 が接続される。

## 【 0 0 3 5 】

また、可変容量回路 A の可変容量素子 1 0 5 a、1 0 5 b のゲート側は、それぞれ抵抗 1 1 1 a、1 1 1 b を介して、基準電位発生手段 1 1 4 の 1 つの出力に接続されている。可変容量回路 B の可変容量素子 1 1 2 a、1 1 2 b のゲート側は、それぞれ抵抗 1 1 2 a、1 1 2 b を介して、基準電位発生手段 1 1 4 の別の 1 つの出力に接続されている。可変容量回路 C の可変容量素子 1 1 3 a、1 1 3 b のゲート側は、それぞれ抵抗 1 1 2 a、1 1 2 b を介して、基準電位発生手段 1 1 4 の別の 1 つの出力に接続されている。

## 【 0 0 3 6 】

図 3 は、基準電位発生手段 1 1 4 の構成例を示したものである。同図において 1 2 0 は電源端子、R a ～R d は抵抗、1 2 2 a ～1 2 2 c は接地コンデンサである。また、1 2 1 a は、本発明の所定の基準電位の一例である  $V_{ref}$  を出力するための出力端子であり、1 2 1 b は、本発明の所定の基準電位の別の一例である  $V_{ref} - V_d$  を出力するための出力端子であり、1 2 1 c は、本発明の所定の基準電位のさらに別の一例である  $V_{ref} - 2V_d$  を出力するための出力端子である。

## 【 0 0 3 7 】

以下、同図を参照しながら実施の形態 1 における電圧制御発振器の動作について説明する。

【0038】

図 3 に記載の基準電位発生手段 114 において、電源端子 120 に加えられる電圧を  $V_{cc}$  とおくと、出力端子 121a ~ 121c から出力される信号の電位は、 $R_b = R_c$  とすると、

【0039】

【数 1】

$$V_{ref} = V_{cc} \cdot (R_b + R_c + R_d) / (R_a + R_b + R_c + R_d)$$

$$V_{ref} - V_d = V_{cc} \cdot (R_c + R_d) / (R_a + R_b + R_c + R_d)$$

$$V_{ref} - 2V_d = V_{cc} \cdot (R_d) / (R_a + R_b + R_c + R_d)$$

と表される。また、 $R_a \sim R_d$  の値を適切に選ぶことによって、基準電位発生手段 114 から任意の電位差を有する基準信号を発生させることができる。

【0040】

いま、図 1 に示すインダクタ 104a、105b のインダクタンスを  $L$ 、可変容量素子 105a、105b の容量値を  $C_1$ 、可変容量素子 106a、106b の容量値を  $C_2$ 、可変容量素子 107a、107b の容量値を  $C_3$ 、DC カット用コンデンサ 108a、108b、109a、109b、110a、110b、の容量値を  $C_0$  とおく。このとき、インダクタ回路、可変容量回路 A、B、C が並列接続されて構成される並列共振回路の共振周波数  $f_0$  は、

【0041】

【数 2】

$$f_0 = 1 / (2\pi (2L \cdot C' / 2)^{1/2}) = 1 / (2\pi (L \cdot C')^{1/2})$$

$$C' = C_1 \cdot C_0 / (C_1 + C_0) + C_2 \cdot C_0 / (C_2 + C_0) + C_3 \cdot C_0 / (C_3 + C_0)$$

と表される。

【0042】

基準電位発生手段 114 からは上記のように電位差  $V_d$  だけ異なる 3 つの基準電位が出力され、それぞれ、可変容量回路 A の可変容量素子 105a および 10



5 b のゲート側、可変容量回路 B の可変容量素子 1 0 6 a および 1 0 6 b のゲート側、可変容量素子 C の可変容量素子 1 0 7 a および 1 0 7 b のゲート側に加えられる。

#### 【 0 0 4 3 】

可変容量回路 A、B、C の各可変容量素子のドレイン・ソース側には、周波数制御端子 1 0 2 から、発振周波数をフィードバック制御するための制御電位が入力される。

#### 【 0 0 4 4 】

基準電位を  $V_{ref}$  としたときに、各可変容量素子の容量が、制御電圧  $V_{th}$  近傍で変化すると仮定すると、各可変容量回路 A、B、C の容量値は、周波数制御電圧に対して図 2 (a) の様に変化する。したがって、可変容量回路 A、B、C の合計容量は、図 2 (b) に示す様に制御電圧に対して緩やかに増加し、その結果、広い制御電圧範囲にわたって発振周波数の変化を滑らかにすることができる。なお、ここで制御電圧とは、各基準電位と制御電位との電位差である。

#### 【 0 0 4 5 】

本発明によれば、周波数制御端子 1 0 2 と各可変容量回路との間には、レベルシフト回路等の余分な回路が挿入されないので、位相雑音特性の劣化を抑えることができる。また、電源端子 1 0 0 に加えられる電位と、可変容量素子 1 0 5 a、1 0 5 b、1 0 6 a、1 0 6 b、1 0 7 a、1 0 7 b に加えられる基準電位は、DC カット用コンデンサ 1 0 8 a、1 0 8 b、1 0 9 a、1 0 9 b、1 1 0 a、1 1 0 b によって分離されているので、電源電圧変動による周波数の変化を抑える効果も得られる。

#### 【 0 0 4 6 】

接地用コンデンサ 1 2 2 a ~ 1 2 2 c は、基準電位発生手段 1 1 4 から出力される雑音を抑圧するためのバイパスコンデンサである。本発明では、出力端子 1 2 2 a、1 2 2 b、1 2 2 c に並列にコンデンサを挿入した場合でも、PLL 回路の過渡応答や雑音帯域特性に影響を与えないので、容量値の大きなコンデンサを挿入することができる。さらに、図 4 に示す様に、1 2 2 d ~ 1 2 2 f で示す容量の大きなコンデンサを半導体外部にチップ部品等として構成し、さらに大き

な雑音抑圧効果を得ることも可能である。

【0047】

図5は、基準電位発生手段114の別の構成例であり、前述と同様の部分には同じ符号を付している。同図において124a～124cはトランジスタである。

【0048】

いま、トランジスタ124a～124cのベース・エミッタ間の電圧を $V_{be}$ とおけば、トランジスタ124a～124cのコレクタとベースを接続することでダイオードとして動作するので、ダイオード1段あたりの電位差は $V_{be}$ と近似できる。

【0049】

したがって、

【0050】

【数3】

$$V_{ref} = 3V_{be}$$

$$V_{ref} - V_d = 2V_{be}$$

$$V_{ref} - 2V_d = V_{be}$$

と設定できる。上記の回路では、電源電圧が変動しても、ダイオード1段あたりの電位差は $V_{be}$ となり、ほとんど変化しない。したがって、基準電位発生手段114から出力される信号の電位差を安定化することができ、電源電圧変動の影響を受けにくい発振器を実現できる。

【0051】

図6は、基準電位発生手段114のさらに別の構成例であり、前述と同様の部分には同じ符号を付している。同図において130はトランジスタ、131は抵抗、132はコンデンサであり、破線で囲まれた部分がアクティブフィルタを構成している。トランジスタ130のベースに直列に接続された抵抗131と接地コンデンサ132はLPF（低域通過フィルタ）を構成している。ここで、使用される可変容量素子は、閾値電圧を $V_{th}$ 、電源電圧を $V_{cc}$ 、トランジスタのベース・エミッタ電圧を $V_{be}$ とした場合に、

【0052】

【数

$$V_{ref} = V_{cc} - V_{be}$$

において

【0053】

【数5】

$$V_{th} < V_{cc}$$

を満足する様に設計されている。

【0054】

本構成によれば、電源からのノイズはリップフィルタによって除去されるので、図5の構成に比べて、電源からのノイズによる基準電位の変動を抑えることができる。

【0055】

また、基準電位発生手段114のさらに別の構成例として、図7に示す様に、端子121aをトランジスタ130のベースに接続する構成をとることもできる。前述の図6の構成では端子121aの電位が電源電圧から $V_{be}$ だけ下がるのに対し、図7に示す構成では、端子121aの電位を電源電圧近傍に設定することが可能となる。したがって、基準電位を0Vから電源電圧までの範囲で設定することができる。

【0056】

なお、本実施の形態では、基準電位発生手段114の出力端子121aから出力される基準電位と出力端子121bから出力される基準電位との差、および出力端子121bから出力される基準電位と出力端子121cから出力される基準電位との差を一定としているが、異なる電位差を与えても良いことは言うまでもない。その場合は、例えば図3に記載の回路の場合は、 $R_{b1}$   $R_c$ であればよい。

【0057】

また、上記の説明では、並列に接続される可変容量回路が3つあり、基準電位発生手段114から3つの基準電位が出力される例で説明したが、必ずしも3つ

される訳ではなく、2 並列、もしくは4 並列以上の構成をとっても良い。

【0 0 5 8】

その場合は、上記の説明と同様の可変容量回路が  $n$  ( $n$  は 2 以上) 個あり、基準電位発生手段 1 1 4 から  $n$  個の異なる基準電位が出力されて、 $n$  個の可変容量回路の各可変容量素子のゲート側に入力される。そして、 $n$  個の可変容量回路の各可変容量素子のドレイン・ソース側には、制御電位が入力され、基準電位発生手段 1 1 4 の  $n$  個の出力側は、それぞれコンデンサを介して接地されていればよい。

【0 0 5 9】

その場合は、 $n$  個の可変容量回路のうち、 $n$  個の可変容量回路に入力される基準電位が大きい順に並べたとき、 $m$  番目 ( $m$  は 2 以上  $n$  以下) の可変容量回路のゲート側に入力される電位と、 $m - 1$  番目の可変容量回路のゲート側に入力される電位との差が  $V_d$  であればよい。

【0 0 6 0】

その場合の基準電位発生手段 1 1 4 は、例えば、図 3 に示す例では、抵抗が  $n + 1$  個直列に接続され、 $n + 1$  個の抵抗により、電源端子 1 2 0 から供給される電源電位が  $n$  個の基準電位として分圧されて出力される構成であればよい。

【0 0 6 1】

また、基準電位発生手段が、図 5 または図 6 に示す例の場合には、 $n$  個のダイオードまたはトランジスタが直列に接続され、電源電位が  $n$  個の基準電位として分圧される構成であればよく、その場合も上記と同様の効果を得ることができる。

【0 0 6 2】

また、上記では、 $m$  番目と  $m - 1$  番目の可変容量回路に入力される電位の差が  $V_d$  であるとして説明したが、それぞれの電位の差は異なる値であってもよく、その場合も上記と同様の効果を得ることができる。

【0 0 6 3】

また、上記では、基準電位発生手段 1 1 4 から  $n$  個の異なる基準電位が出力されて、 $n$  個の可変容量回路の各可変容量素子のゲート側に入力される、として説

図 8 が、基準電位発生手段 1 1 4 から n 個の基準電位が出力されて、n 個の可変容量回路の各可変容量素子のゲート側に入力されており、n 個の基準電位のうち、少なくとも 2 つの基準電位が異なる電位である構成であってもよく、その場合も上記と同様の効果を得ることができる。

【 0 0 6 4 】

(実施の形態 2)

図 8 は本発明の実施の形態 2 における電圧制御発振器の構成を示しており、前述と同様の部分には同じ符号を付しており説明は省略する。

【 0 0 6 5 】

実施の形態 1 に記載の電圧制御発振器では、制御電圧を変化させても可変容量素子の容量の変化が飽和する周波数領域が存在する場合がある。本実施の形態の電圧制御発振器は、周波数バンドに応じて可変容量回路の容量を可変することができる電圧制御発振器に関する。

【 0 0 6 6 】

同図において、1 4 1 a、1 4 1 b は周波数バンド設定用可変容量素子、1 4 4 a、1 4 4 b、1 4 4 c は可変容量回路、1 4 0 は周波数バンド設定用端子である。可変容量素子 1 4 1 a、1 4 1 b は、互いにドレイン・ソース側が接続されて直列回路を形成し、本発明の第 1 の可変容量回路を構成している。第 1 の可変容量回路のドレイン・ソース側の接続点には、周波数バンド設定用端子 1 4 0 が接続されている。

【 0 0 6 7 】

また、図 9 は、1 4 4 a ~ 1 4 4 c で示した可変容量回路の内部の構造を示している。同図において 2 0 0 a、2 0 0 b は、第 1 の可変容量回路、および可変容量回路 1 4 4 a ~ 1 4 4 c を並列接続するための接続端子である。ここで、端子 2 0 1 は、図 8 の基準電位発生手段 1 1 4 に接続され、端子 2 0 2 は周波数制御端子 1 0 2 に接続され、端子 2 0 3 は周波数バンド設定端子 1 4 0 に接続されている。

【 0 0 6 8 】

また、2 1 0 a、2 1 0 b、2 1 1 a、2 1 1 b は可変容量素子、2 1 2 a、

2 1 2 b、2 1 3 a、2 1 3 bはDCカット用コンデンサ、2 1 4 a、2 1 4 b、2 1 5 a、2 1 5 bは高周波阻止抵抗、2 1 6はスイッチである。

## 【 0 0 6 9 】

可変容量素子2 1 0 a、2 1 0 bは、互いにドレイン・ソース側が接続され、可変容量素子2 1 0 a、2 1 0 bの直列回路の両端には、直流分を遮断するためのDCカット用コンデンサ2 1 2 a、2 1 2 bが直列に接続されている（以下、可変容量素子2 1 0 a、2 1 0 b、およびDCカット用コンデンサ2 1 2 a、2 1 2 bから形成される直列回路を第2の可変容量回路という。）。

## 【 0 0 7 0 】

可変容量素子2 1 1 a、2 1 1 bは、互いにドレイン・ソース側が接続され、可変容量素子2 1 1 a、2 1 1 bの直列回路の両端には、直流分を遮断するためのDCカット用コンデンサ2 1 3 a、2 1 3 bが直列に接続されている（以下、可変容量素子2 1 1 a、2 1 1 b、およびDCカット用コンデンサ2 1 3 a、2 1 3 bから形成される直列回路を第3の可変容量回路という。）。

## 【 0 0 7 1 】

第2の可変容量回路および第3の可変容量回路は、互いに並列に接続され、接続端子2 0 0 a、2 0 0 bに接続されている。そして、第2の可変容量回路のゲート側および第3の可変容量回路のゲート側は、それぞれ抵抗2 1 4 aおよび2 1 4 b、ならびに抵抗2 1 5 aおよび2 1 5 bを介して基準電位発生手段1 1 4に接続されている。

## 【 0 0 7 2 】

第2の可変容量回路のドレイン・ソース接続側は、周波数制御端子2 0 2に接続され、第3の可変容量回路のドレイン・ソース接続側は、スイッチ2 1 6の出力側に接続されている。スイッチ2 1 6の入力側の一方の端子は、周波数制御端子2 0 2に接続され、スイッチ2 1 6の入力側の他方の端子は、電源に接続されている。

## 【 0 0 7 3 】

またスイッチ2 1 6には、制御端子2 0 3が接続され、制御端子2 0 3には、周波数バンド設定端子1 4 0が接続されている。そして、スイッチ2 1 6は、周

波数バンド設定端子 1 4 0 から出力される信号に応じて、スイッチ 2 1 6 の入力側の一方側と他方側とが切り替わる構成を有している。

【 0 0 7 4 】

以下、本発明の動作を図 8、図 9 を参照しながら説明する。

【 0 0 7 5 】

本実施の形態の電圧制御発振器では、動作開始時に周波数バンド設定端子 1 4 1 にグランド電位または電源電圧を加えることで、第 1 の可変容量回路の可変容量素子 1 4 1 a、1 4 1 b の容量を変化させて使用する周波数バンドを選択する。その後、周波数制御端子 1 0 2 に加える制御電位によって発振周波数の微調整を行う。周波数バンドを切り換える方式は、特開 2 0 0 1 - 1 9 6 8 5 3 号公報に既に記載されているが、従来の方式では図 1 0 ( a ) に示す様に、使用する周波数バンドが高くなるにしたがって、制御電圧に対する周波数の変化が急峻になるという問題があった。この理由は、周波数バンドが高くなると、周波数バンド設定用可変容量素子 1 4 1 a、1 4 1 b の容量値が小さくなり、その結果、可変容量回路 1 4 4 a ~ 1 4 4 c の容量値が、共振回路を構成する全並列容量値に対して相対的に大きくなるからである。

【 0 0 7 6 】

本発明では、図 8 の 1 4 4 a ~ 1 4 4 b に示した可変容量回路を、図 9 に示す構成にすることで、周波数バンドに応じて可変容量回路 1 4 4 a ~ 1 4 4 b の容量値を変化させ、容量の可変範囲を変化させる。すなわち、図 9 において可変容量素子 2 1 0 a、2 1 0 b は、周波数制御端子 2 0 2 に直接接続され、可変容量素子 2 1 1 a、2 1 1 b はスイッチ 2 1 6 によって、周波数制御端子 2 0 2 または電源電位に選択的に接続される。スイッチ 2 1 6 の制御端子 2 0 3 に加えられる電位は、周波数バンド設定端子 1 4 0 と同期して切り換えられる。すなわち、低周波側の周波数バンドが使用される場合には、スイッチ 2 1 6 の入力側は周波数制御端子 2 0 2 に接続され、高周波側の周波数バンドを使用する場合には電源電位側に接続される。したがって、可変容量素子 2 1 0 a、2 1 0 b および 2 1 1 a、2 1 1 b の容量値を適切に設定すれば、図 1 0 ( b ) に示す様に、複数のバンドに切り替えた場合でも制御電圧に対する周波数の変化を、一定にすること

ができる。

【 0 0 7 7 】

図 1 1 は、図 8 の 1 4 4 a ～ 1 4 4 b で示した可変容量のもう一つの構成例を示したものであり、図 9 に示す回路と同様の部分には同一の符号を付しており説明は省略する。

【 0 0 7 8 】

同図において、2 2 0 a、2 2 0 b は D C カット用コンデンサ、2 2 1 a、2 2 1 b はスイッチである。スイッチ 2 2 1 a とコンデンサ 2 2 0 a は、直列に接続され、スイッチ 2 2 1 a が接続状態となったときにコンデンサ 2 2 0 a をコンデンサ 2 1 2 a に並列に接続するように、接続されている。同様にスイッチ 2 2 1 b とコンデンサ 2 2 0 b は、直列に接続され、スイッチ 2 2 1 b が接続状態となったときにコンデンサ 2 2 0 b をコンデンサ 2 1 2 b に並列に接続するように、接続されている。そして、スイッチ 2 2 0 a およびスイッチ 2 2 0 b は、制御端子 2 0 3 に接続され、周波数バンド設定端子 1 4 0 から出力される信号に応じて開閉される構成を有する。

【 0 0 7 9 】

以下、図 8、図 1 1 を参照して、図 8 に示す可変容量回路として図 1 1 に示す回路を使用した場合の動作を説明する。

【 0 0 8 0 】

スイッチ 2 2 1 a、2 2 1 b の制御端子 2 0 3 は、周波数バンド設定端子 1 4 0 に接続されており、低周波側の周波数バンドが使用される場合には、スイッチ 2 2 1 a、2 2 1 b は接続状態に、高周波側の周波数バンドが使用される場合には、スイッチ 2 2 1 a、2 2 1 b は遮断状態に設定される。

【 0 0 8 1 】

いま、可変容量素子 2 1 0 a、2 1 0 b の容量値を  $C_0$ 、D C カットコンデンサ 2 1 2 a、2 1 2 b の容量値を  $C_1$ 、D C カットコンデンサ 2 2 0 a、2 2 0 b の容量値を  $C_2$  とおく。このとき、2 1 0 a、2 1 2 a、2 2 0 a、または 2 1 0 b、2 1 2 b、2 2 0 b からなる容量の合計値  $C$  は、スイッチ 2 2 1 a、2 2 1 b が接続状態にあるとき、



【 0 0 8 2 】

【数 6】

$$C = C_0 \cdot (C_1 + C_2) / (C_0 + C_1 + C_2)$$

と表され、スイッチ 2 2 1 a、2 2 1 b が遮断状態にあるとき、

【 0 0 8 3 】

【数 7】

$$C = C_0 \cdot C_1 / (C_0 + C_1)$$

となり、スイッチ 2 2 1 a、2 2 1 b の動作に応じて、図 1 1 に示す可変容量回路全体の容量値を変化させることができる。すなわち、第 1 の可変容量回路の容量の低下に応じて、可変容量素子 2 1 0 a、2 1 0 b および 2 1 1 a、2 1 1 b の容量の可変範囲を適切に低下させれば、図 1 0 (b) に示す様に、複数のバンドに切り替えた場合でも制御電圧に対する周波数の変化を一定にすることができる。すなわち、高周波バンドを使用する場合でも、制御電圧に加わる微少な雑音の影響を抑制することができる。

【 0 0 8 4 】

なお、本実施の形態では、周波数バンドが 2 つの場合について説明を行ったが、同様の構成で 3 つ以上の周波数バンドに対応することも出来る。その場合は、複数の電位のうち周波数バンドに対応する電位が、第 1 の可変容量回路および可変容量回路 1 4 4 a ~ 1 4 4 c に入力される。ここで、可変容量回路 1 4 4 a ~ 1 4 4 c として、図 9 に示す回路が使用される場合は、第 2 の可変容量回路、および第 3 の可変容量回路に加えて、さらに別の、同様の構成の可変容量回路が並列に接続され、周波数バンド設定端子 1 4 0 から入力される電位に応じて、第 2 の可変容量回路と同様に、電源電位が入力される構成が考えられる。

【 0 0 8 5 】

また、可変容量回路 1 4 4 a ~ 1 4 4 c として、図 1 1 に示す回路が使用される場合は、さらにスイッチとコンデンサの直列回路が、コンデンサ 2 1 2 a、2 1 2 b に並列に接続され、周波数バンド設定端子 1 4 0 から入力される電位に応じて、さらにコンデンサが並列に接続される構成が考えられる。

【 0 0 8 6 】

また、本実施の形態の電圧制御発振器において、可変容量回路が  $n$  個存在し、この  $n$  個の可変容量回路のうち少なくとも 1 つの可変容量回路が、少なくとも 1 つの可変容量素子を有し、この少なくとも 1 つの可変容量素子のドレイン・ソース側の端子に、制御電位に代えて、複数の電位のうち使用される周波数に応じた電位が入力されることにより、第 1 の可変容量回路の可変容量素子の容量の低下に応じて、 $n$  個の可変容量回路のうちの少なくとも 1 つの可変容量回路の容量の可変範囲が低下される構成であってもよい。

## 【 0 0 8 7 】

また、本実施の形態の電圧制御発振器において、DC カット用コンデンサは、スイッチを介して接続された 2 つ以上のコンデンサから構成され、使用される周波数に応じて上記スイッチが断続されることにより、DC カット用コンデンサの容量が低下され、 $n$  個の可変容量回路のうちの少なくとも 1 つの可変容量回路の容量の可変範囲が低下される構成であってもよい。

## 【 0 0 8 8 】

また、本実施の形態の以上までの説明では、図 9 または図 1 1 に示す可変容量回路を例として説明してきたが、 $n$  個の可変容量回路は、図 9 または図 1 1 に示す例に限らず、他の構成の可変容量であってもよい。すなわち、 $n$  個の可変容量回路は、 $n$  個の可変容量回路の可変容量素子の一方の端子に、電源電位または所定の基準電位が入力され、 $n$  個の可変容量回路の可変容量素子の他方の端子に、発振周波数をフィードバック制御するための制御電位が入力され、第 1 の可変容量回路の可変容量素子の容量が所定の値より低下したとき、 $n$  個の可変容量回路のうちの少なくとも 1 つの可変容量回路の容量の可変範囲が低下される、構成であればよく、その場合も上記と同様の効果を得ることができる。

## 【 0 0 8 9 】

また、本実施の形態の以上までの説明では、基準電位発生手段 1 1 4 の出力側にはコンデンサ 1 2 2 a、1 2 2 b、1 2 2 c が接続されているとしてきたが、本実施の形態の電圧制御発振器においては、コンデンサ 1 2 2 a、1 2 2 b、1 2 2 c は無くてもよく、その場合も上記と同様の効果を得ることができる。

## 【 0 0 9 0 】

また、以上までの実施の形態 1 および 2 における説明では、各可変容量回路の各可変容量素子のゲート側に基準電位発生手段 1 1 4 から出力される各基準電位が入力され、各可変容量回路の各可変容量素子のドレイン・ソース側に制御電位が入力されたとしたが、各可変容量素子のゲート側に制御電位が入力され、各可変容量素子のドレイン・ソース側に各基準電位が入力される構成であってもよい。

#### 【0091】

また、以上までの説明では、各可変容量素子は、C-MOS プロセスで用いられるゲート容量が利用された可変容量素子であるとしてきたが、各可変容量素子は、他のタイプの可変容量素子であってもよい。その場合は、各基準電位は、各可変容量素子の一方の端子側に入力され、制御電位が各可変容量素子の他方の端子側に入力されればよく、その場合も上記と同様の効果を得ることができる。

#### 【0092】

また、以上までの説明では、発振トランジスタとして MOS トランジスタを用いているとしたが、バイポーラトランジスタが用いられても良い。

#### 【0093】

また、以上までの実施の形態 1 および 2 の電圧制御発振器を備え、目的周波数の信号を出力する PLL 回路を備えた無線通信機器も本発明の範疇に含まれる。

#### 【0094】

以上のように、本発明によれば、線形性の低い可変容量素子を用いた場合であっても、電圧制御発振器の制御電圧に対する発振周波数の変化を滑らかにすることができるので、PLL 回路の過渡応答特性や雑音帯域特性を広い帯域にわたって一定にでき、かつ、基準電位発生手段からの出力信号に並列に容量の大きなバイパスコンデンサを接続できるので、位相雑音特性の良い発振器を実現することが出来る。

#### 【0095】

##### 【発明の効果】

本発明によれば、位相雑音特性の劣化を抑制することができ、かつ制御電位の追従性を低下させない電圧制御発振器、その電圧制御発振器を用いた無線通信機

器、電圧制御発振方法、あるいは、位相雑音特性の劣化を抑制することができる、電圧制御発振器、無線通信機器、電圧制御発振方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 における電圧制御発振器の構成を示す回路図

【図 2】

本発明の実施の形態 1 の原理を説明するための図

【図 3】

本発明の実施の形態 1 における基準電位発生手段の構成を示す回路図

【図 4】

本発明の実施の形態 1 における基準電位発生手段の構成を示す回路図

【図 5】

本発明の実施の形態 1 における基準電位発生手段の構成を示す回路図

【図 6】

本発明の実施の形態 1 における基準電位発生手段の構成を示す回路図

【図 7】

本発明の実施の形態 1 における基準電位発生手段の構成を示す回路図

【図 8】

本発明の実施の形態 2 における電圧制御発振器の構成を示す回路図

【図 9】

本発明の実施の形態 2 における可変容量の構成を示す回路図

【図 10】

本発明の実施の形態 2 の原理を説明する図

【図 11】

本発明の実施の形態 2 における可変容量のもう一つの構成例を示す回路図

【図 12】

従来の電圧制御発振器の構成を示す回路図

【図 13】

MOS 容量の制御電圧に対する容量値の変化を示す図

【図 1 4】

先行例の構成を示す回路図

【図 1 5】

先行例の原理を説明するための図

【符号の説明】

1 0 0 電源端子 1 0 1 電流源

1 0 2 周波数制御端子 1 0 3 a、1 0 3 b 発振トランジスタ

1 0 4 a、1 0 4 b インダクタ

1 0 5 a、1 0 5 b、1 0 6 a、1 0 6 b、1 0 7 a、1 0 7 b 可変容量素子

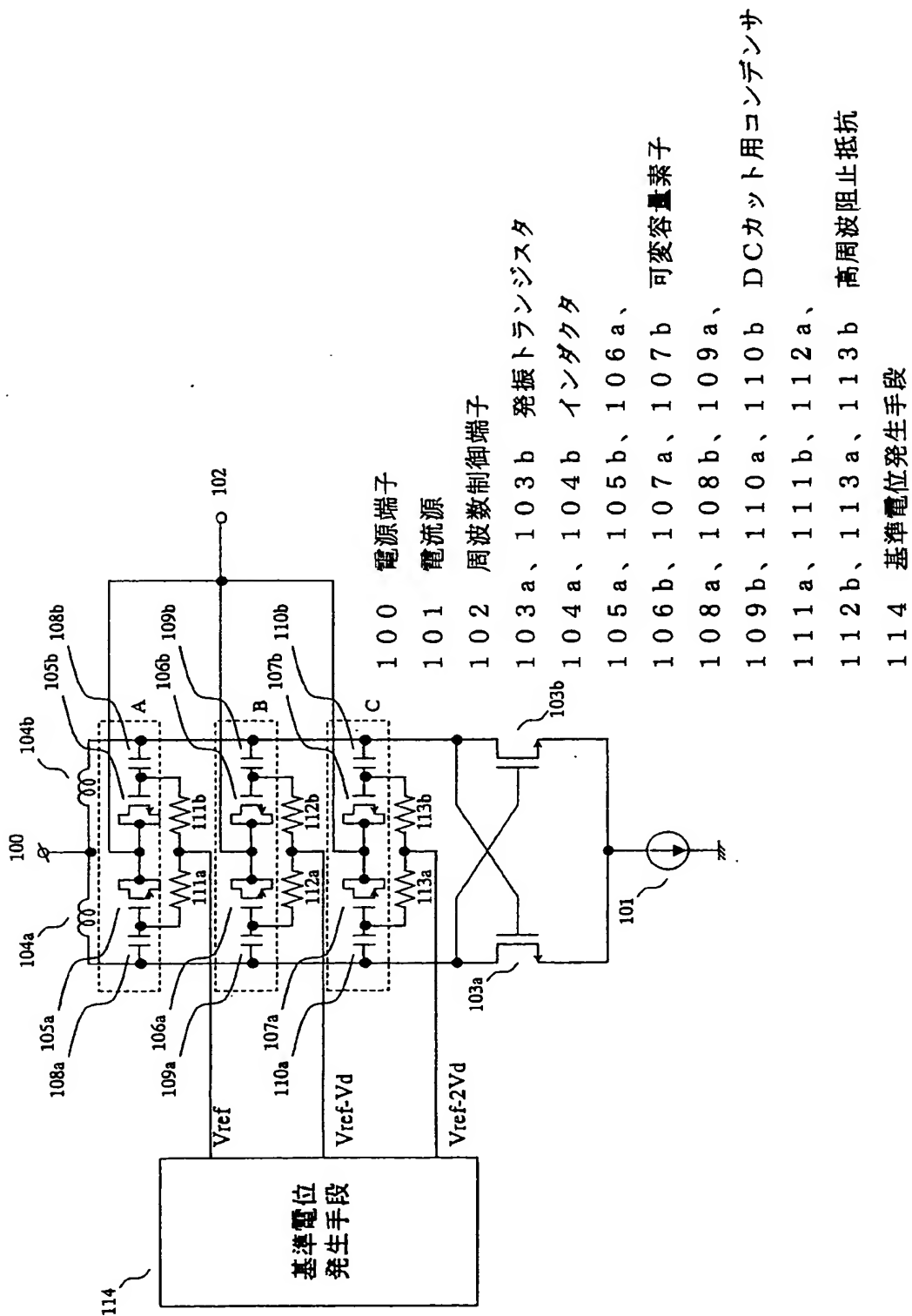
1 0 8 a、1 0 8 b、1 0 9 a、1 0 9 b、1 1 0 a、1 1 0 b DCカット用  
コンデンサ

1 1 1 a、1 1 1 b、1 1 2 a、1 1 2 b、1 1 3 a、1 1 3 b 高周波阻止抵  
抗

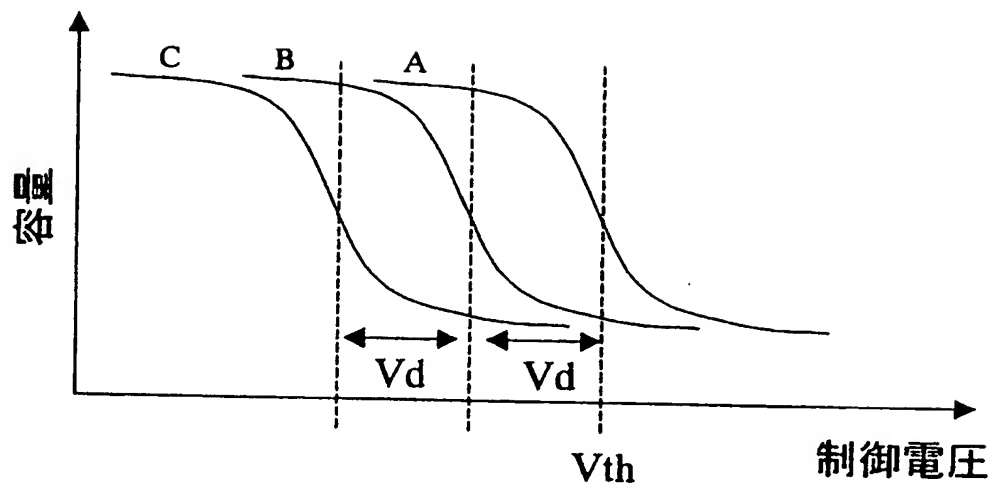
1 1 4 基準電位発生手段

【書類名】 図面

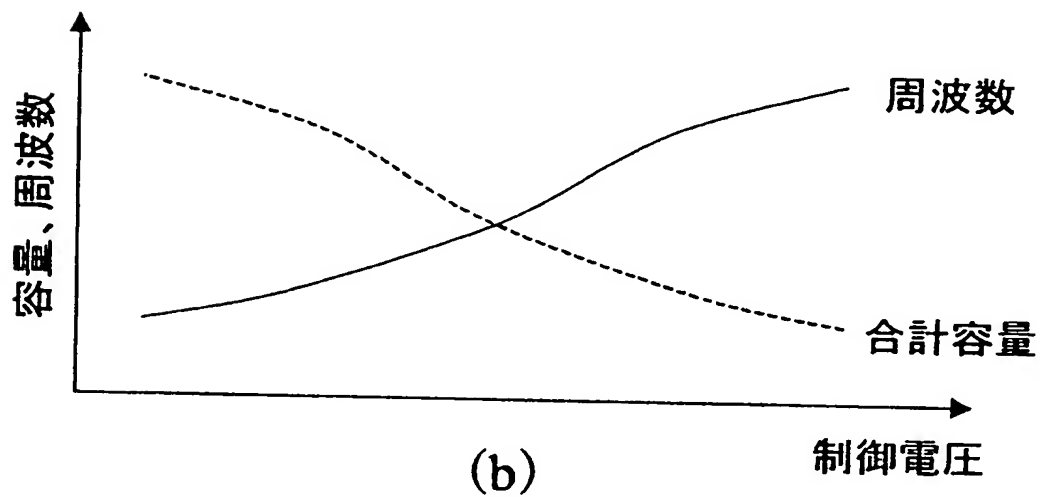
【図 1】



【图 2】

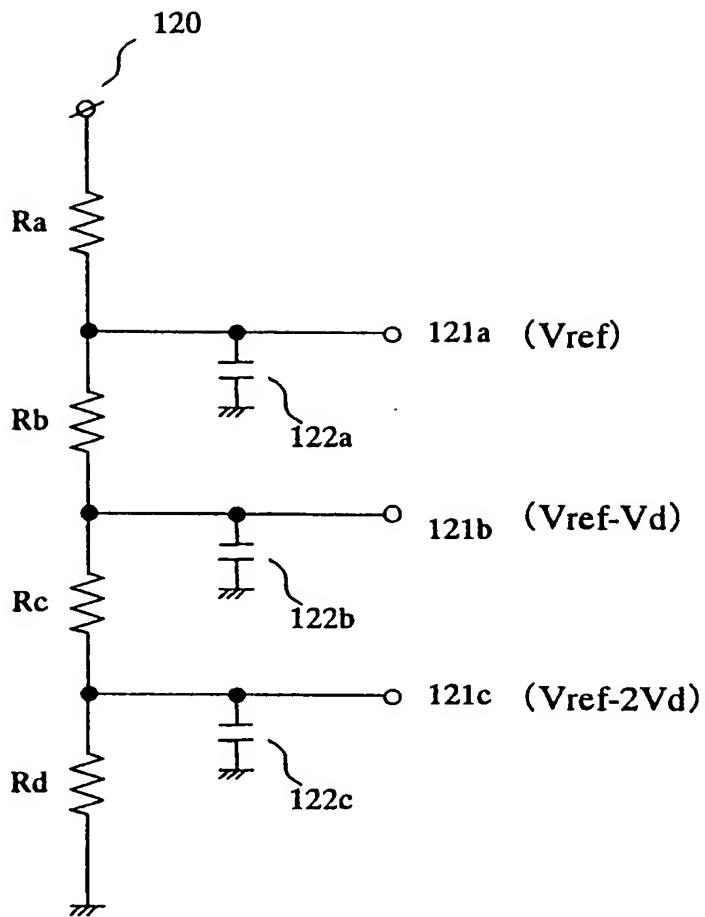


(a)



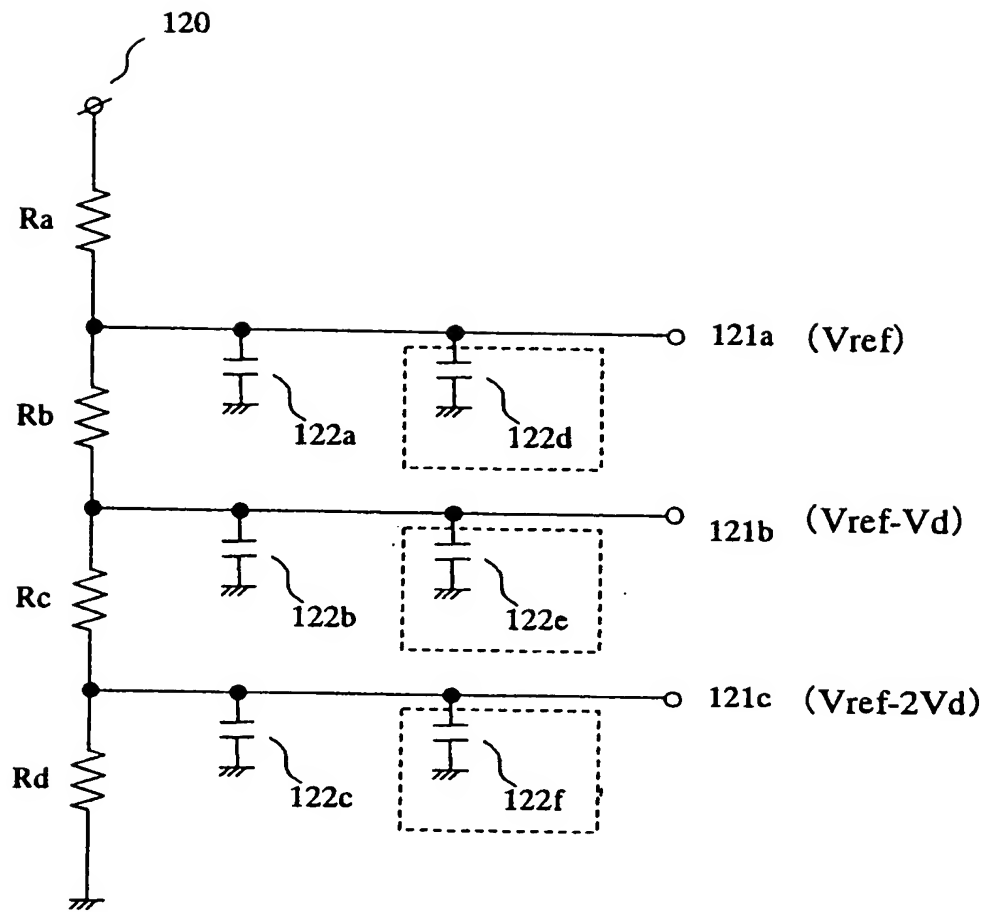
(b)

【図 3】

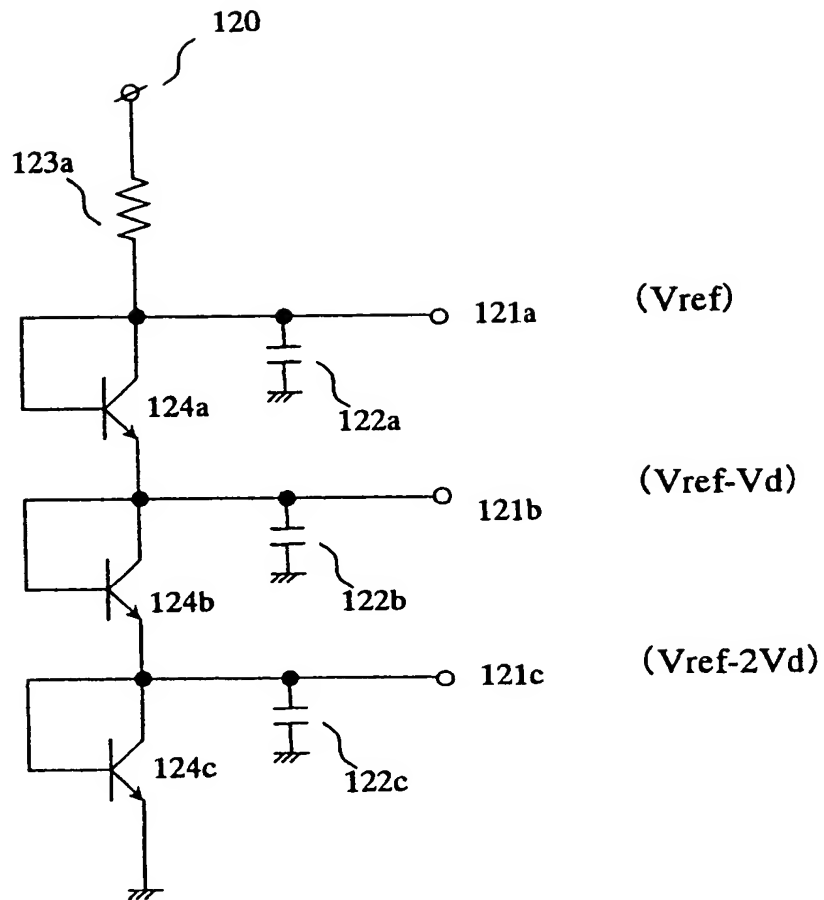




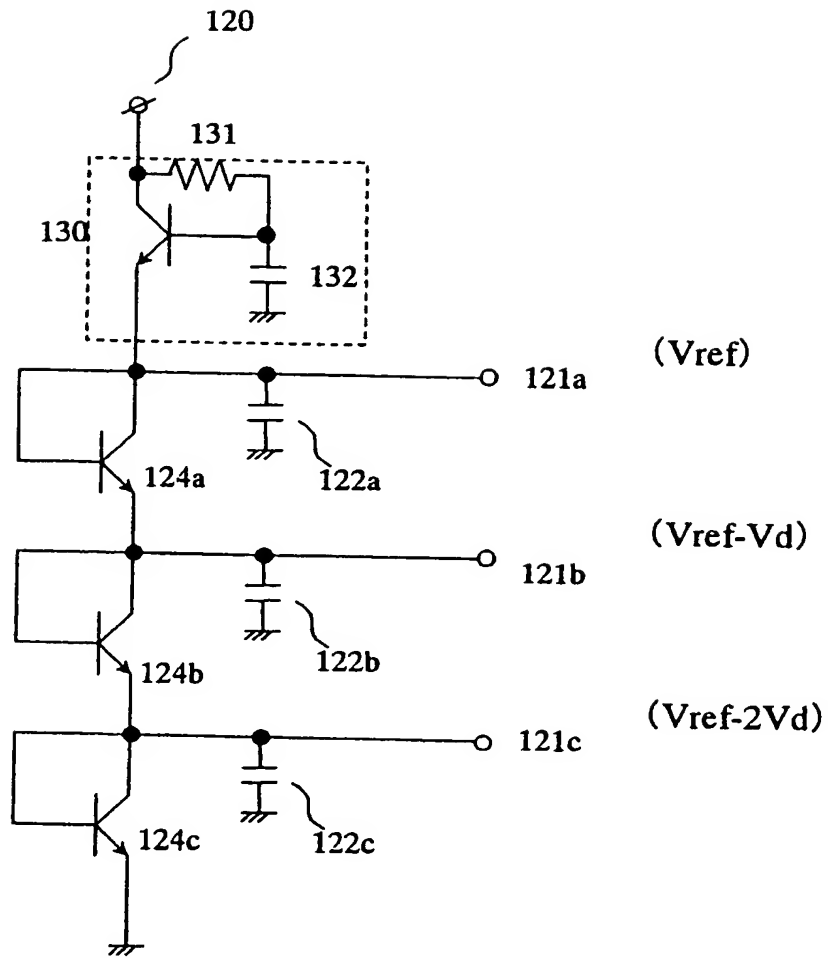
【図 4】



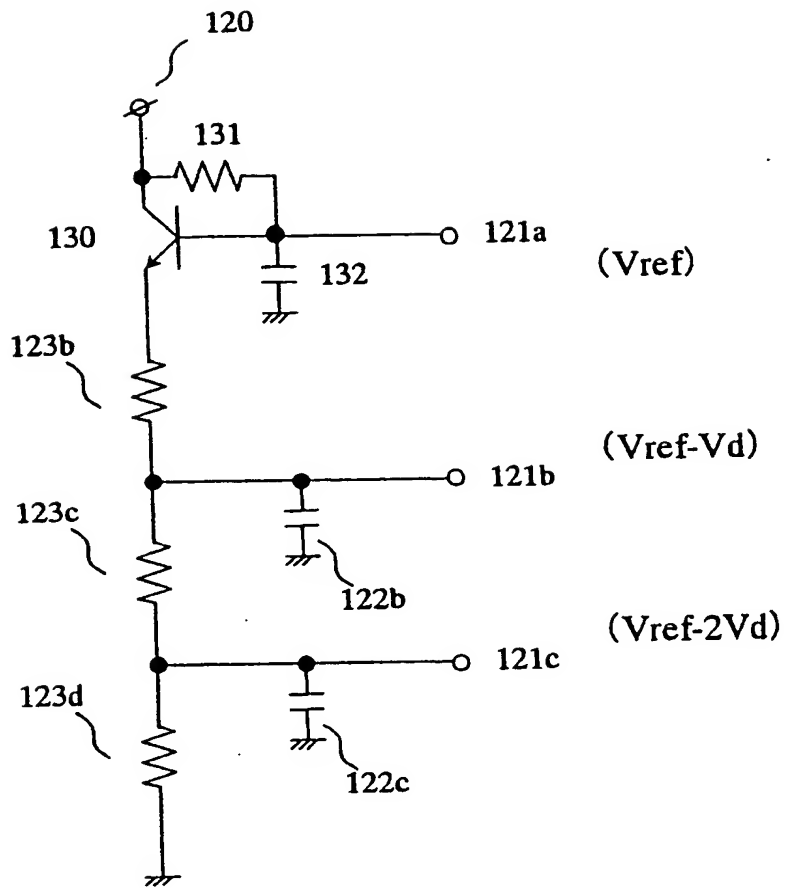
【図 5】



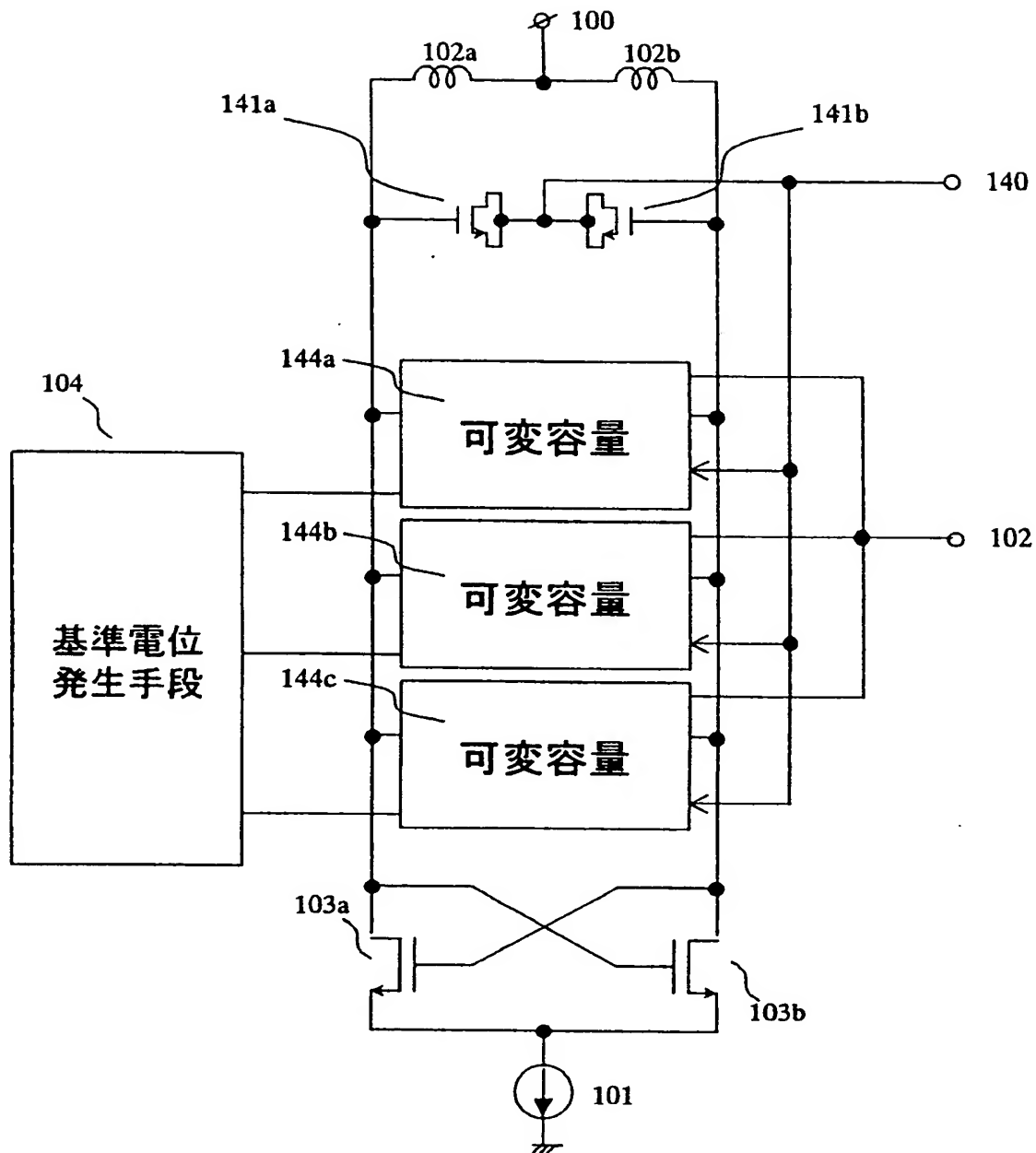
【図 6】



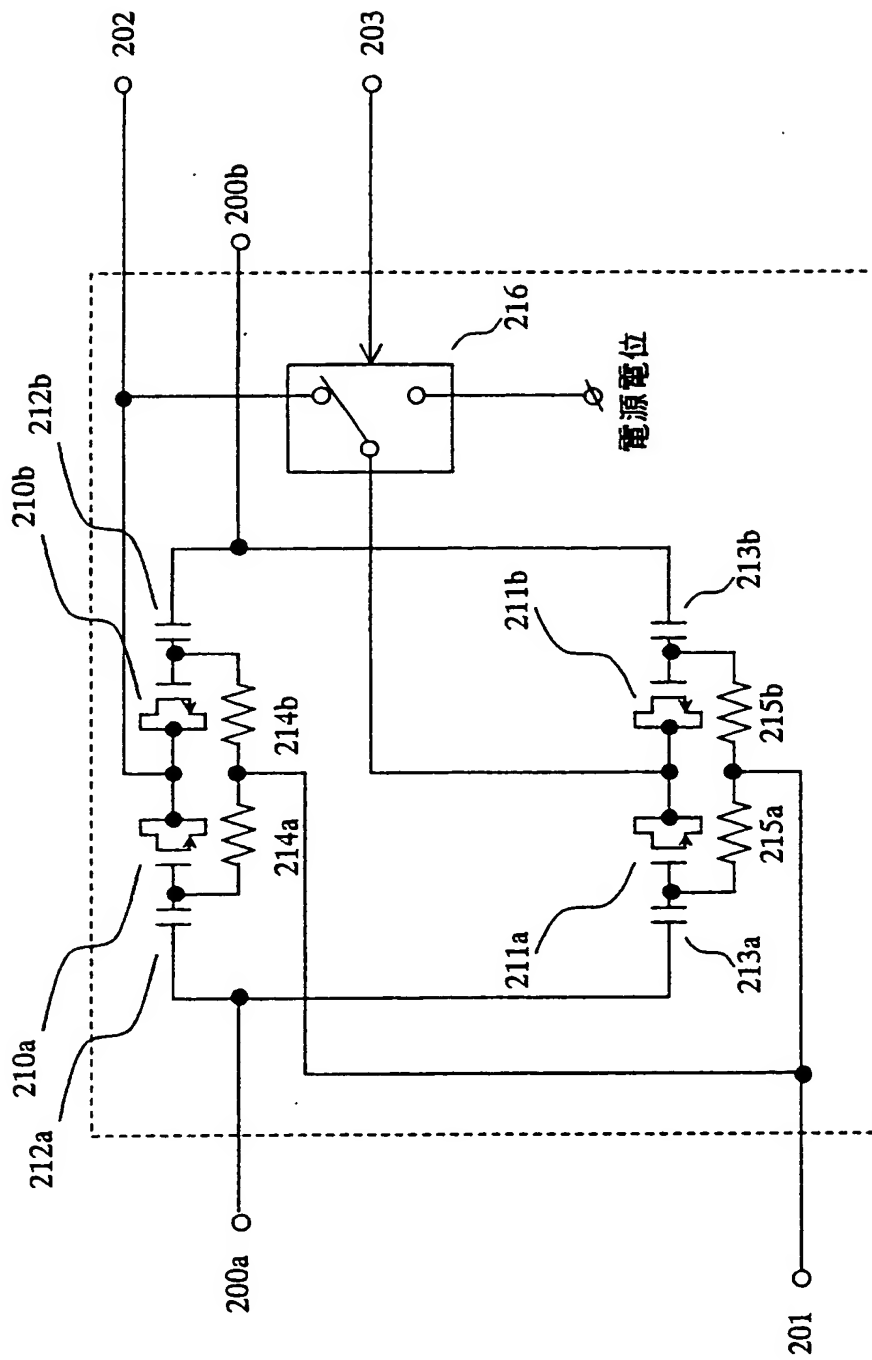
【図 7】



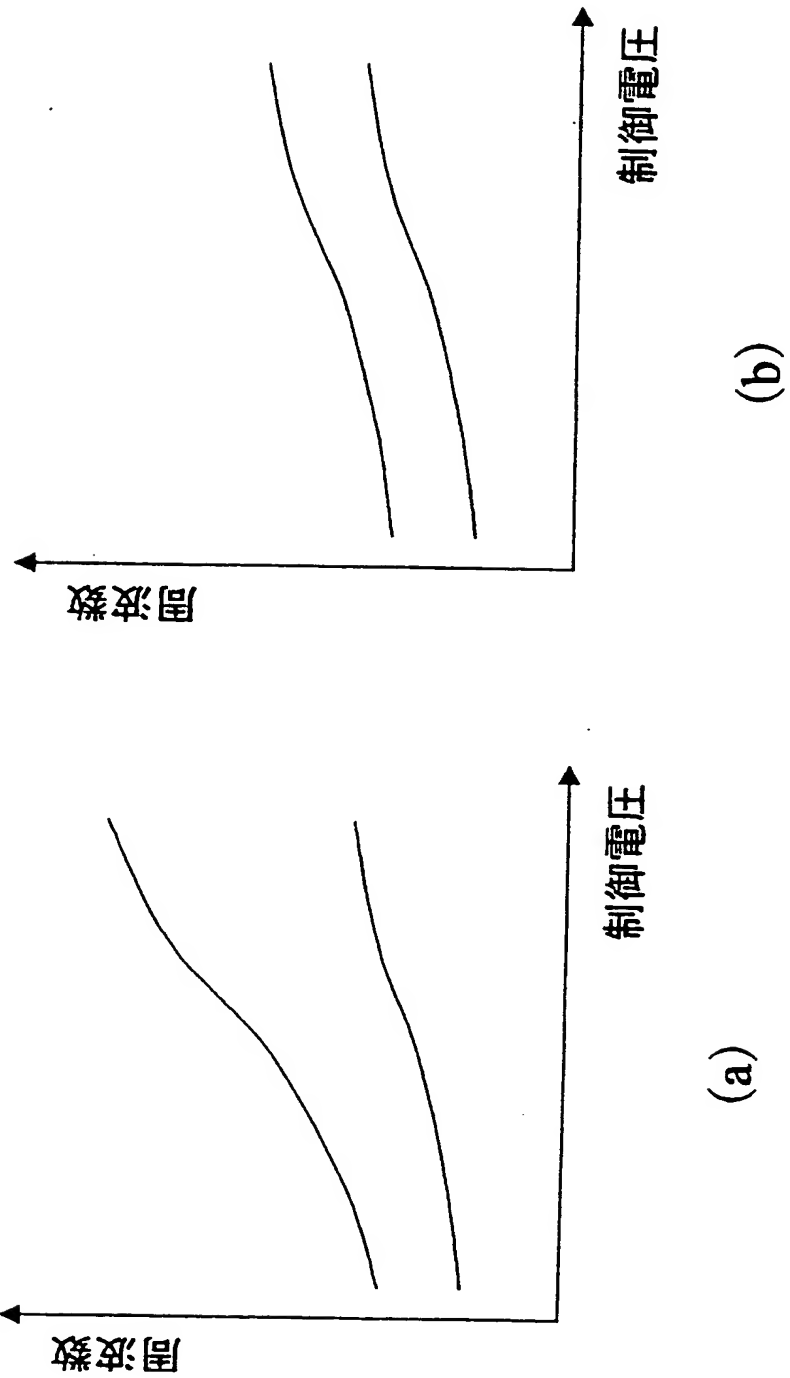
【圖 8】



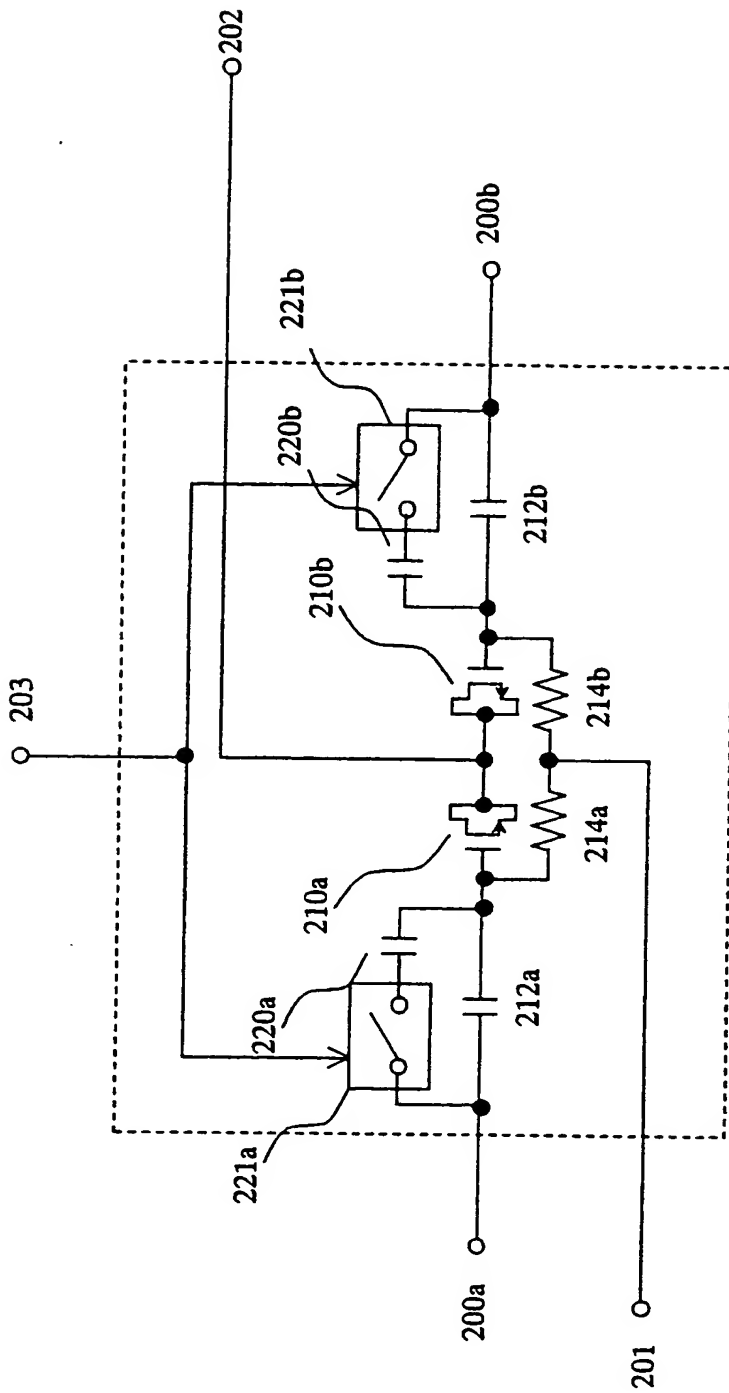
【図 9】



【図 1 0】

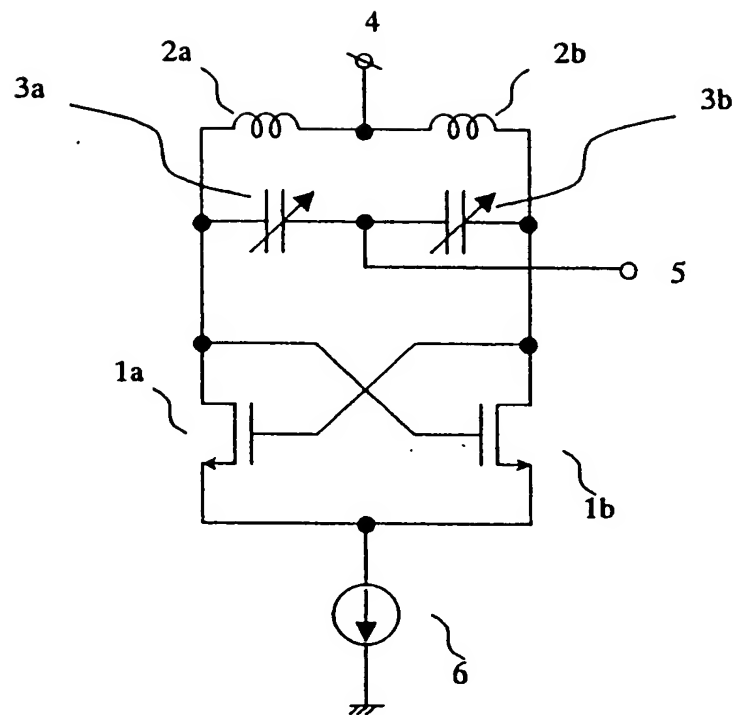


【図 11】

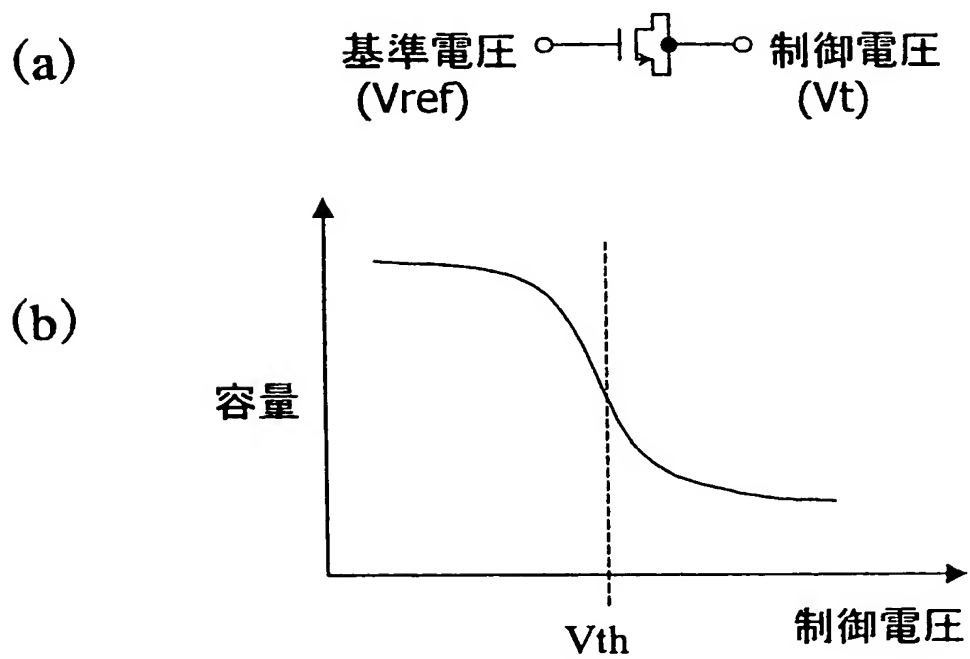




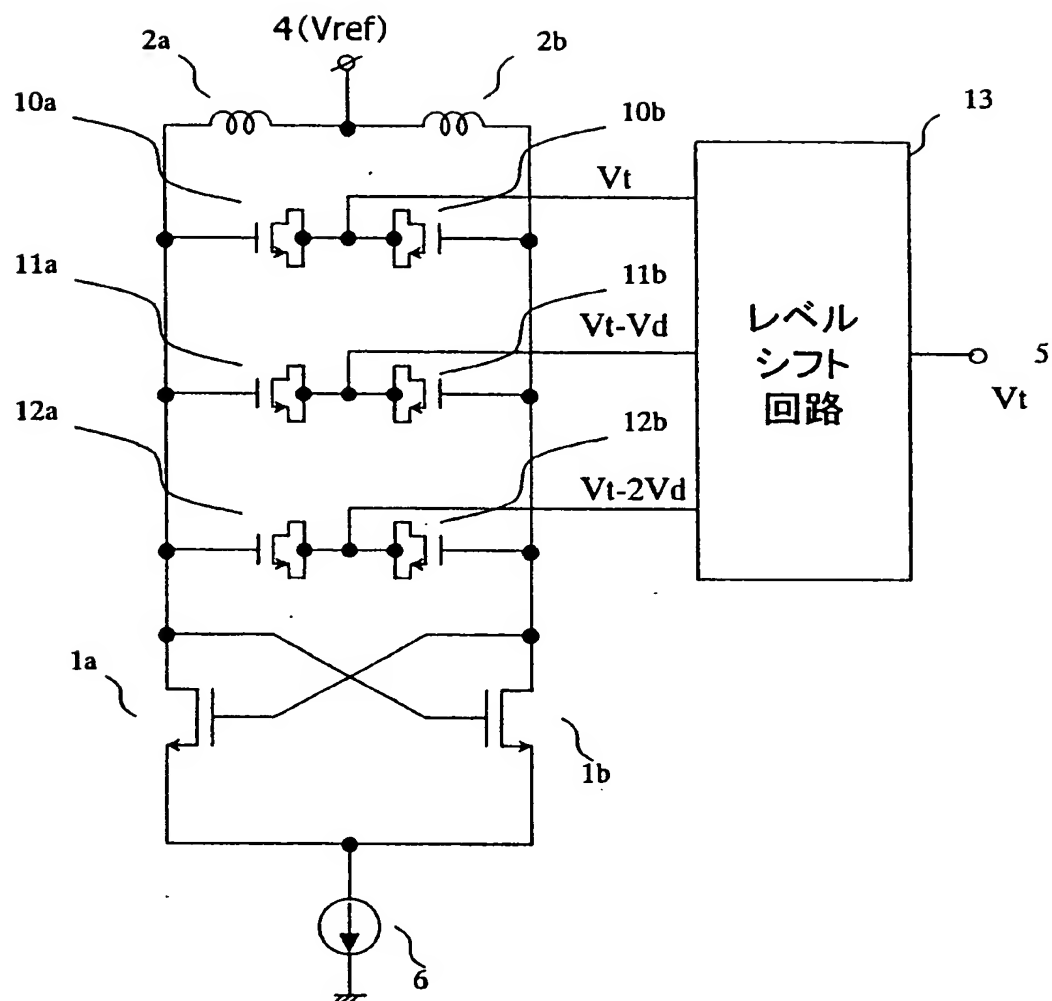
【図 1 2】



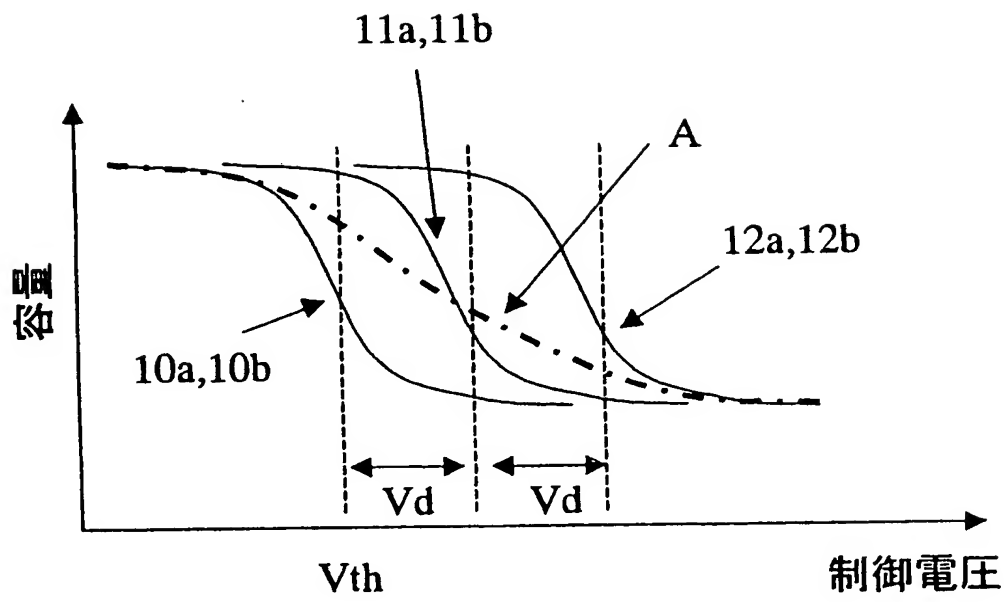
【図 1 3】



【图 14】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 位相雑音特性の劣化を抑制することができ、かつ制御電位の追従性を低下させない電圧制御発振器、その電圧制御発振器を用いた無線通信機器、電圧制御発振方法を提供すること。

【解決手段】 インダクタ回路と、可変容量素子 1 0 5 a、1 0 5 b を有する n 個（n は 2 以上）の可変容量回路と、負性抵抗回路 1 0 3 a、1 0 3 b と、電源電位から基準電位を生成する基準電位発生手段 1 1 4 と、を備え、n 個の可変容量回路の可変容量素子の一方の端子に所定の基準電位が入力され、他方の端子に制御電位が入力され、n 個の可変容量回路の可変容量素子のうち、少なくとも 2 つの可変容量回路の可変容量素子の一方の端子に入力される所定の基準電位が異なり、基準電位発生手段 1 1 4 の、基準電位を出力する出力側がそれぞれコンデンサを介して接地されている、電圧制御発振器。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日  
[変更理由] 新規登録  
住 所 大阪府門真市大字門真 1 0 0 6 番地  
氏 名 松下電器産業株式会社